

DIALOG(R)File 347:JAPIO
(c) 1998 JPO & JAPIO. All rts. reserv.

03246654

MANUFACTURE OF THIN FILM TRANSISTOR

PUB. NO.: 02-222154 [JP 2222154 A]
PUBLISHED: September 04, 1990 (19900904)
INVENTOR(s): SHINOHARA HISATO
ABE MASAYOSHI
ARAI YASUYUKI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 01-044911 [JP 8944911]

FILED: February 22, 1989 (19890222)

INTL CLASS: [5] H01L-021/336; G02F-001/136; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD:R002 (LASERS); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1003, Vol. 14, No. 524, Pg. 99,
November 16, 1990 (19901116)

ABSTRACT

PURPOSE: To form the above thin film transistors readily in a short time when the thin film transistor elements are aligned and formed on a substrate by projecting selectively condensed laser light on a high-resistance, non-single crystal semiconductor thin film, and aiding the crystallization of the light projected part.

CONSTITUTION: An Mo film and a low-resistance N-type non-single crystal semiconductor layer are overlapped on a glass plate 11 having an ITO electrode 19. A source 22, a drain 23 and electrodes 24 and 25 are formed by photolithography technology. Then, an I-type non-single crystal film is overlapped by a plasma CVD method. Condensed laser light is projected, and a part 14 wherein the crystal degree is increased is formed. A gate insulating film 17 comprising Si(sub 3)N(sub 4) is overlapped thereon by the plasma CVD method. Vapor deposition of Mo is performed, and the gate electrode 17 is attached. Thus a substrate on which thin film transistors 10 are aligned is completed. A plurality of the thin film transistors can be aligned and formed on the large substrate for liquid display in a short time.

⑫ 公開特許公報(A) 平2-222154

⑤ Int.Cl.³

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)9月4日

H 01 L 21/336
G 02 F 1/136
H 01 L 29/784

5 0 0

7370-2H

8624-5F H 01 L 29/78 3 1 1 P

審査請求 未請求 請求項の数 1 (全8頁)

⑭ 発明の名称 薄膜トランジスタの作製方法

⑰ 特 願 平1-44911

⑱ 出 願 平1(1989)2月22日

⑲ 発 明 者 篠 原 久 人 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

⑲ 発 明 者 阿 部 雅 芳 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

⑲ 発 明 者 荒 井 康 行 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

⑲ 出 願 人 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地

明 細 書

1. 発明の名称

薄膜トランジスタの作製方法

2. 特許請求の範囲

1. 薄膜トランジスタ素子を整列して複数個形成する際に、絶縁性表面を有する基板上に、ソース、ドレイン領域となるN又はP型の導電型を有する低抵抗の非単結晶半導体を形成する工程と、高抵抗の非単結晶半導体層を形成する工程と、ゲート絶縁膜を形成する工程と、ゲート電極を形成する工程とを有し、前記高抵抗の非単結晶半導体層に選択的にレーザー光を照射して、レーザー光を照射した部分の結晶化を助長せしめ、その部分が複数個の薄膜トランジスタのチャンネル部になるように作製することを特徴とした薄膜トランジスタ素子の作製方法。

3. 発明の詳細な説明

「産業上の利用分野」

本発明は非単結晶半導体薄膜を用いた薄膜トランジスタ（以下にTFTともいう）及びその製造方法に関するものであり、特に液晶ディスプレイ、イメージセンサー等に適用可能な高速応答性を持つ薄膜トランジスタに関する。

「従来の技術」
最近、化学的気相法等によって、作製された非単結晶半導体薄膜を利用した薄膜トランジスタが注目されている。

「従来の技術」

最近、化学的気相法等によって、作製された非単結晶半導体薄膜を利用した薄膜トランジスタが注目されている。

この薄膜トランジスタは、絶縁性基板上に前述の如く化学的気相法等を用いて形成されるので、その作製雰囲気温度が最高で450℃程度と低温で形成でき、安価なソーダガラス、ホウケイ酸ガラス等を基板として用いることができる。

この薄膜トランジスタは電界効果型であり、いわゆるMOSFETと同様の機能を有しているが、前述の如く安価な絶縁性基板上に低温で形成でき、さらにその作製する最大面積は薄膜半導体を形成する装置の寸法にのみ限定されるもので、容易に大面積基板上にトランジスタを作製できるという利点を持っていた。このため多量の画素を持つマ

リクス構造の液晶ディスプレイのスイッチング素子や一次元又は二次元のイメージセンサ等のスイッチング素子として極めて有望である。

また、この薄膜トランジスタを作製するにはすでに確立された技術であるファトリソグラフィーが応用可能で、いわゆる微細加工が可能であり、IC等と同様に集積化を図ることも可能であった。

この従来より知られた薄膜トランジスタの代表的な構造を第2図に概略的に示す。

(20)はガラスよりなる絶縁性基板であり、(21)は非単結晶半導体よりなる薄膜半導体、(22)、(23)はソースドレイン領域で、(24)、(25)はソースドレイン電極、(26)はゲート絶縁膜で(27)はゲート電極であります。

このように構成された薄膜トランジスタはゲート電極(27)に電圧を加えることにより、ソースドレイン(22)、(23)間に流れる電流を調整するものであります。

この時、この薄膜トランジスタの応答速度は次式で与えられる。

$$S = \mu \cdot V / L^2$$

ここでLはチャネル長、 μ はキャリアの移動度、Vはゲート電圧。

この薄膜トランジスタに用いられる非単結晶半導体層は、半導体層中に多量の結晶粒界等を含んでおり、これが原因で単結晶の半導体に比べてキャリアの移動度が非常に小さく上式より判るようにトランジスタの応答速度が非常に遅いという問題が発生していた。特にアモルファスシリコン半導体を用いた時、その移動度はだいたい0.1~1 ($\text{cm}^2/\text{V} \cdot \text{Sec}$)程度で、ほとんどTFTとして動作しない程度のものであった。

このような問題を解決するには上式より明らかなようにチャネル長を短くすることと、キャリアの移動度を大きくすることが知られ、種々の改良が行われている。

特に、移動度を向上させることは、従来より種々の方法によって行われていた。代表的には、非単結晶半導体をアニールして、単結晶化又は多結晶のグレインサイズを大きくすることが行われて

- 3 -

いた。

これら従来例では、高温下でアニールするために、高価な耐熱性基板を使用しなければならなかったり、基板上全面の半導体層を単結晶化又は多結晶化するため、処理時間が長くなるという問題が発生していた。

「発明の目的」

本発明は、前述の如き問題を解決するものであり、従来より知られたTFTに比べて、高速で動作するTFTを、より短時間で容易に作製する方法を提供することを、その目的とするものである。

「発明の構成」

上記目的を達成するために、本発明は基板上に薄膜トランジスタ素子を整列して複数個形成する場合において、高抵抗の非単結晶半導体薄膜に、選択的に、集光されたレーザー光を照射して、その照射した部分の高抵抗の非単結晶半導体層の結晶化を助長せしめることを特徴とする。

本発明を用い、さらにレーザー光を照射した部分がTFTのチャネル部になるように以下の工程を

- 4 -

行うことによって、TFTのキャリア移動度を増大させ、前に述べた応答速度を増大せしめ、その結果従来適用できなかった液晶ディスプレイ、イメージセンサー等にTFT素子を通用可能ならしめるものである。

本発明においては、整列した複数の部分に直線状或いはドット状にレーザー光を照射するため、従来の方法に比較して、直線状にレーザー光を照射する場合には、直線部分の結晶化の促進を同時に行うことができ、非単結晶半導体薄膜の複数の部分の結晶化を短時間で行うことができる。またドット状に照射する場合においても1ヶ所に照射した後の基板の移動のためのプログラムが、整列した部分への照射のために簡単であるうえ、工程上も、非単結晶半導体薄膜の複数の部分の結晶化を短時間で行うことができる。

さらに本発明においては、エッチングの際も、レーザー光を照射した部分は照射しない部分に比較してエッチングしにくいので、エッチング時の歩留りが上昇し、コストダウンにもなり得る。

- 5 -

- 6 -

以下に実施例により本発明を詳しく説明する。
「実施例 1」

本実施例においては、液晶ディスプレイに用いるための薄膜トランジスタの作製について示す。

本実施例に対応する薄膜トランジスタの概略的な作製工程を第 1 図に示す。

まず、基板 (11) として、透明導電膜としてパターンニングされた ITO 電極 (画素電極) を有する 300mm×300mm のソーダガラスを用い、この基板 (11) 上にモリブデン膜を作製する。そして、公知のプラズマ CVD 法により低抵抗非単結晶半導体として N 型の導電型を有する非単結晶珪素膜を形成する。この時の作製条件は以下の通りであった。

基板温度	250℃
反応圧力	0.05 Torr
Rf パワー (13.56MHz)	150 W
使用ガス	SiH ₄ + PH ₃
膜厚	2000 Å

この、N 型の非単結晶珪素膜は、その形成時に

H₂ ガスを多量に導入し、Rf パワーを高くして、微結晶化して電気抵抗を下げたものを使用しても良い。

次に公知のフォトリソグラフィ技術を用いて非単結晶珪素膜をソース、ドレイン領域 (22)、(23) 及びその取り出し電極の所定の外形パターンにマスクングを行い、CF₄ ガスを用いてドライエッチングを行い、第 1 図 (a) の状態を得た。

次に、前述と同様のプラズマ CVD 法にて高抵抗半導体層として I 型の非単結晶珪素膜 (13) を形成する。作製条件は N 型の非単結晶珪素膜のものとほぼ同じであるが、使用ガスが SiH₄ のみで膜厚は 6000 Å とした。

次に、この非単結晶珪素膜 (13) に対し、長さ 300mm 巾 10 μm の長方形の照射断面となるように、光学系によって集光された、波長 248.7nm のエキシマレーザー光 (15) を第 1 図 (b) に示す様に照射し、光を照射した部分の結晶度を増大せしめた。普通、レーザー光は中心部が強く、端のほうは弱くなっている。強度において、ガウス分布を

- 7 -

呈する。従って、この光の状態のまま照射すると光の中心部のみ結晶化が進んでしまうので、本実施例においては、光学系を用いて、光の強度を均一にして照射を行った。

そして第 1 図 (c) の状態を得た。ただし、第 1 図 (c) においては直線状にレーザー光を照射して、結晶度の増大した部分のみを示す。

本実施例におけるレーザー光の照射条件はパワー密度 0.5 J/cm²、パルス巾 15 μsec である。このレーザー光を本実施例の場合、3 パルス照射した。この照射回数及びレーザーの条件は被加工物によって異なり、本実施例の場合は予備実験を行って前述の条件を出してその条件を用いた。

次に、この I 型の珪素膜 (13) 上にプラズマ CVD 法で窒化珪素膜 (16) を 100 Å 形成し、ゲイト絶縁膜とした。

これを所定のパターンにパターンニング後、公知のスパッタリング法にて、モリブデン膜を蒸着し、ゲイト電極 (17) を形成し、第 1 図 (d) に示すような、薄膜トランジスタ (10) を整列して

- 8 -

配置した基板を完成させた。(第 1 図 (e))

そして絶縁膜を形成した後、配向膜塗布工程、スペーサー散布工程、貼り合わせ工程、液晶注入工程を通過して、液晶セルが完成した。

以上のようにして、光学系を用いて断面を直線状にしたレーザー光を用いて、複数の薄膜トランジスタに対応する非単結晶珪素膜の結晶化の促進を同時に行うことができ、液晶ディスプレイに用いるような大型の基板に複数の TFT を整列して作製する場合に特に短時間で加工ができ、有効である。

「実施例 2」

本実施例においては、実施例 1 と同様に本発明を液晶ディスプレイの作製時に用いた場合について示す。

まず、実施例 1 で用いたものと同じ基板上に実施例 1 と同様にモリブデンを成膜した後、N 型の導電型を有する非単結晶珪素膜を形成する。

次に、公知のフォトリソグラフィ技術を用いて、実施例 1 と同様に非単結晶珪素膜をソース、

- 9 -

- 10 -

ドレイン領域及びその取り出し電極の所定の外形パターンにマスキングを行い、 CF_4 ガスを用いてドライエッチングを行う。

次に、実施例1と同様に高抵抗半導体層としてI型の非単結晶珪素膜を形成する。

次に、この非単結晶珪素膜に対し、巾 $10\mu\text{m}$ 長さ $5\mu\text{m}$ の長方形の照射断面となるように光学系によって集光された波長 $1.06\mu\text{m}$ のYAGレーザー光を第3図に示す様に点状に照射し、一箇所の照射ごとに基板をX、或いはY方向に一定の長さだけ動かして次の箇所の照射を行った。こうして光を照射した部分の結晶度を増大せしめた。

この時のレーザー光の照射条件はパワー密度 $0.6\text{J}/\text{cm}^2$ 、繰り返し周波数 10kHz とである。このレーザー光を本実施例の場合、1.5秒間照射した。この照射回数及びレーザーの条件は被加工物によって異なり、本実施例の場合は予備実験を行って前述の条件を出してその条件を用いた。

本実施例においても実施例1と同様に、レーザー光を均一にするために光学系を用いた。

次に、このI型の珪素膜上にプラズマCVD法で窒化珪素膜を 100\AA 形成し、ゲイト絶縁膜とした。

これらを所定のパターンにパターニング後、公知のスパッタリング法にて、モリブデン膜を蒸着し、パターニングを行い、ゲイト電極を形成し、薄膜トランジスタを完成させた。

そして、絶縁膜を成膜した後、液晶配向膜塗布工程、スペーサー散布工程、貼り合わせ工程、液晶注入工程を経由して液晶セルが完成した。

このようにして、整列して形成される複数個の薄膜トランジスタの、非単結晶珪素膜のチャンネル部に相当する部分のみにレーザー光を照射し、結晶化を促進することによって、応答速度の大きい薄膜トランジスタを作製することができ、そのうえ、レーザー光を部分的に照射するため、従来のように全面に照射する方法に比較して、短時間での結晶化が可能である。

本実施例においては、実施例1以上に必要な部分のみの照射であるため、非単結晶珪素膜のエッ

- 11 -

チングの際、かりに微妙に残渣が残ってしまった場合でも不必要な部分は結晶化が進んでいないので、リーク電流を少なくすることができる。

「実施例3」

本実施例においては、本発明をイメージセンサーの作製時に用いた場合について示す。

まず、ガラス基板の上に、実施例1と同様な方法で、モリブデン膜を形成した後、N型の導電性を有する非単結晶珪素膜を形成する。

次に、公知のフォトリソグラフィ技術を用いて、実施例1と同様に非単結晶珪素膜をソース、ドレイン領域及びその取り出し電極の所定の外形パターンにマスキングを行い、 CF_4 ガスを用いてドライエッチングを行う。

次に、実施例1と同様に高抵抗半導体層としてI型の非単結晶珪素膜を形成する。

次に、この非単結晶珪素膜に対し、巾 $10\mu\text{m}$ 長さ 200nm （基板の長さに対応する。）のはば直線状の照射断面となるように光学系によって集光された波長 248.7nm のニチシマレーザー光を照射し

- 12 -

て光を照射した部分の結晶度を増大せしめた。

この時のレーザー光の照射条件はパワー密度 $0.5\text{J}/\text{cm}^2$ 、パルス巾 $12\mu\text{sec}$ である。このレーザー光を本実施例の場合、3パルス照射した。この照射回数及びレーザーの条件は被加工物によって異なり、本実施例の場合は予備実験を行って前述の条件を出してその条件を用いた。

本実施例においても実施例1と同様に、レーザー光が均一になるように光学系を用いている。

次に、このI型の珪素膜上にプラズマCVD法で窒化珪素膜を 100\AA 形成し、ゲイト絶縁膜とした。

これらを所定のパターンにパターニング後、公知のスパッタリング法にて、モリブデン膜を蒸着し、パターニングを行い、ゲイト電極を形成し、その後絶縁膜を作製して薄膜トランジスタを完成させた。

このようにして、一直線上に整列して形成される複数個の薄膜トランジスタの、非単結晶珪素膜のチャンネル部に相当する部分のみにレーザー光を

- 13 -

- 14 -

照射し、結晶化を促進することによって、応答速度の大きい薄膜トランジスタを作製することができ、そのうえ、レーザー光を部分的に照射するため、従来のように全面に照射する方法に比較して短時間での結晶化が可能である。

「効果」

本発明の構成により、整列して形成される薄膜トランジスタのチャネル部の結晶度を増大させることができた。これによって、従来ではキャリアの移動度が小さいためにディスプレイ装置、イメージセンサー等のスイッチング素子として使用できなかった非単結晶半導体を用いたTFTを使用することが可能になった。

また、チャネル部の結晶度を増大させるためにレーザー加工技術を用いたので、大面積化されても加工精度上の問題はなく、良好な特性を有する薄膜トランジスタを大面積基板上に多数形成することが非常に容易になった。

さらには、レーザー加工を直線状、ドット状などの必要な部分にのみ行っているため、加工時間

の短縮が実現でき、そのうえエッチング時の歩留りが上昇し、さらにリーク電流を低減することができた。

また本実施例においては、スタガード型の薄膜トランジスタの作製について述べたが、本発明の技術思想から、他の逆スタガード型、コブレナー型、逆コブレナー型の薄膜トランジスタにも用いることができることは明らかである。

本実施例では、低抵抗の非単結晶半導体としてN型のみについて述べたが、P型においても本発明を用いることが可能であることは、本発明の技術思想から明らかである。

4. 図面の簡単な説明

第1図(a)～(e)、第3図は本発明の実施例の薄膜トランジスタの製造工程を示す概略図である。

第2図は従来のTFTの断面構造を示す。

- 15 -

- 16 -

- 10・・・薄膜トランジスタ
- 11、20・・・基板
- 13、21・・・高抵抗非単結晶半導体層
- 14・・・結晶度の増大した部分
- 15・・・レーザー光
- 16、26・・・ゲイト絶縁膜
- 17、27・・・ゲイト電極
- 18・・・薄膜トランジスタ
- 19・・・画素電極
- 20・・・基板
- 22、23・・・ソース、ドレイン領域
- 24、25・・・ソース、ドレイン電極

特許出願人

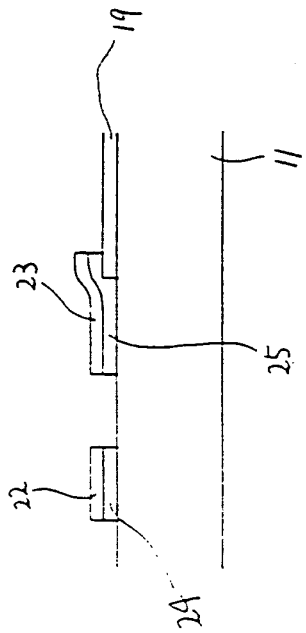
株式会社半導体エネルギー研究所

代表者 山 崎 隆 平

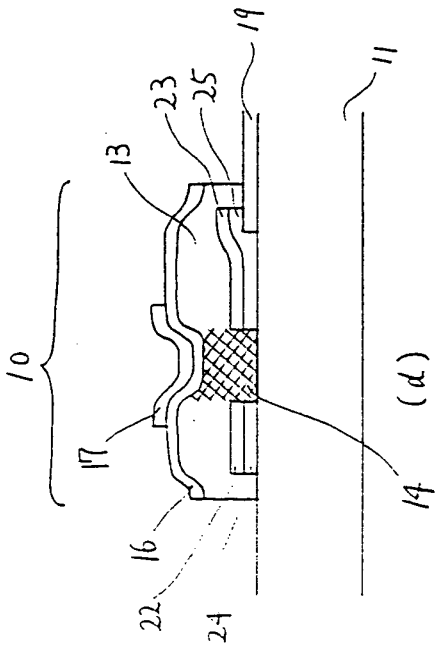


- 17 -

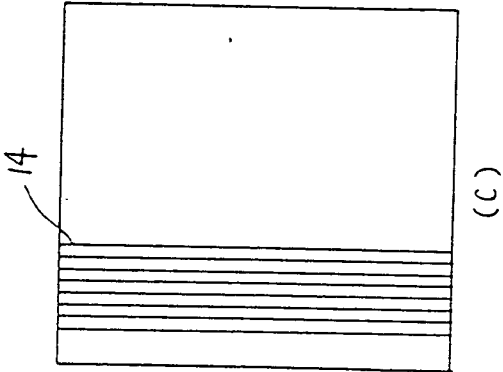
第 1 図



(a)



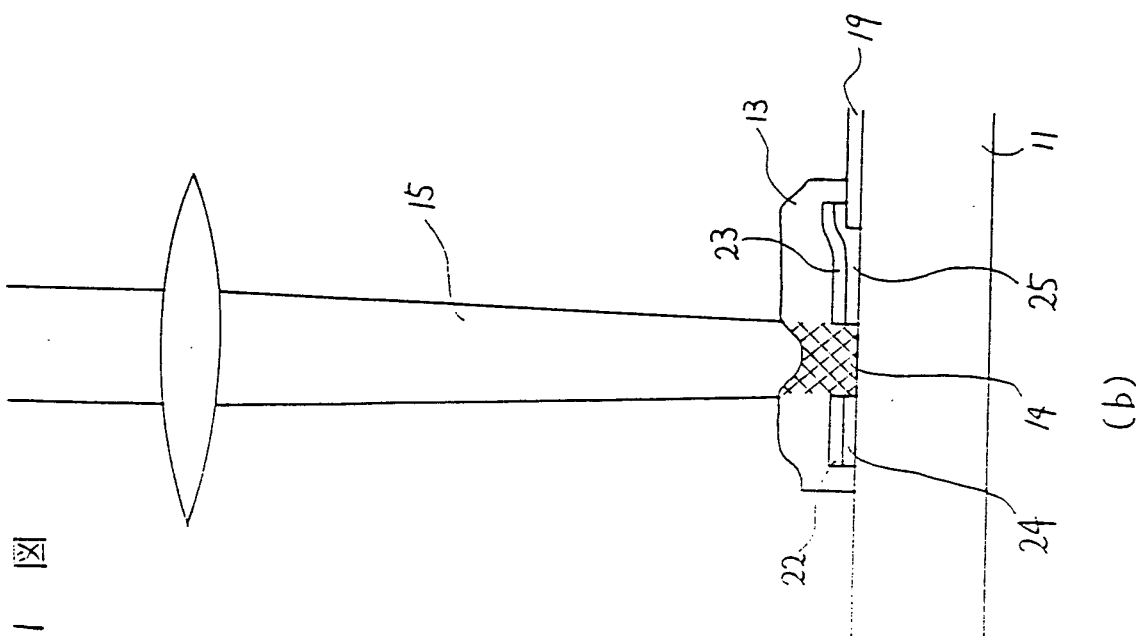
(d)



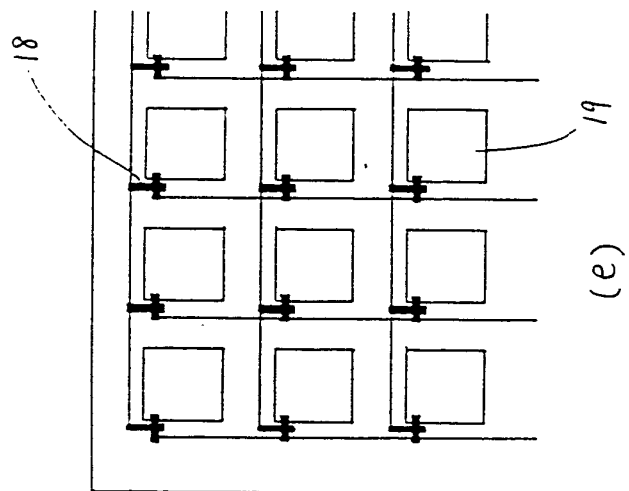
(c)

第 1 図

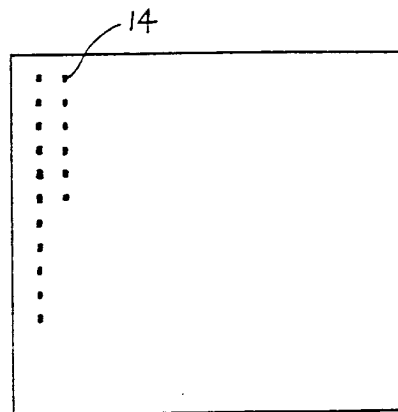
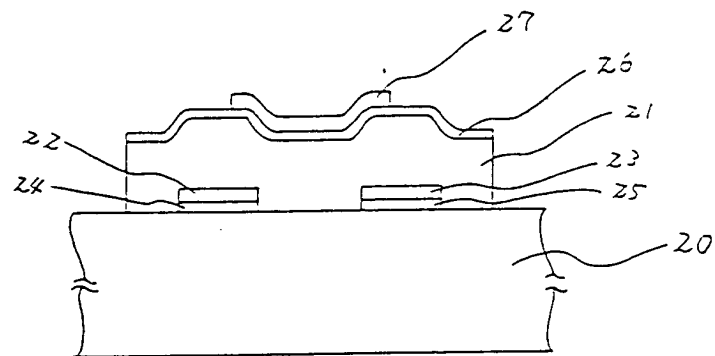
第 1 図



第 1 図



第 2 図



第 3 図

Japanese Patent Laid-Open Number 2-222154

Laid-Open Date: September 4, 1990

IPC: H01L 21/336, G02F 1/136, H01L 29/784

Application No.: 1-44911

Application Date: February 22, 1989

Inventor: Shinohara, Hisato et al.

Applicant: Semiconductor Energy Laboratory Co., Ltd.

Specification

Title of Invention:

Manufacturing method of thin film transistor

Scope of Claim

1. A thin film transistor manufacturing method for forming a plurality of thin film transistor elements in an array, comprising;

a step of forming, on a substrate having an insulating surface, a non-single crystalline semiconductor of low resistivity having an N or P-type conductivity, which is intended for source and drain regions;

a step of forming a non single crystalline semiconductor layer of high resistivity;

a step of forming a gate insulating film; and

a step of forming gate electrodes; and wherein

said non single crystalline semiconductor layer of a high resistivity is selectively irradiated by a laser beam to promote crystallization in irradiated portions, whereby said

portions forming channel regions of the plurality of the thin film transistors.

3. Detailed Description of the Invention

[Field for Industrial Use]

The present invention relates to thin film transistor (hereinafter also referred to as TFT) using a non-single crystalline semiconductor thin film, and a manufacturing method thereof, and in particular, relates to a thin film transistor having high-speed response, which is applicable to a liquid crystal display, image sensor or the like.

[Background Art]

Recently attracting attention, are those thin film transistors employing non-single crystalline semiconductor films formed by chemical vapor phase methods etc.

Since such a thin film transistor is formed on an insulating substrate using a chemical vapor phase method as mentioned above, it can be formed in a manufacturing atmosphere of a low temperature in the order of, for example, 450°C, at the highest, permitting the use of inexpensive soda glass or boro-silicated glass as a substrate.

Although this thin film transistor is a field effective type, and has the similar function as that of, so-called MOSFET, it has an advantage that it can be formed under a low temperature

on an inexpensive insulating substrate as priorly mentioned, and also that the transistor can be readily fabricated on a large size substrate since its maximum dimensions achievable in its formation would only be limited by the size of an apparatus for forming the thin film semiconductor. Accordingly, it seems quite promising for the implementation as switching elements of a liquid crystal display having a matrix structure comprising a significant number of pixels, or as switching elements of a one-dimensional or two-dimensional image sensor etc.

Furthermore, an established technology, photolithography, is applicable to the manufacturing of this thin film transistor, allowing so-called fine processing, and in turn, realizing the integration as done in ICs etc.

Fig. 2 schematically shows a typical structure of a conventionally-known thin film transistor.

(20) is an insulating substrate made of glass, (21) is a thin film semiconductor made of non-single crystalline semiconductor, (22) and (23) are source and drain regions, (24) and (25) are source and drain electrodes, (26) is a gate insulating film and (27) is a gate electrode.

The thin film transistor configured in this manner adjusts the current flowing between the source and drain (22, 23) through the application of a voltage to the gate electrode (27).

At this point, the response speed of this thin film transistor is given by the following formula.

$$S = \mu V/L^2$$

Here, L is a channel length, μ is a mobility of carriers and V is a gate voltage.

The non-single crystalline semiconductor layer used in this thin film transistor contains a large amount of grain boundaries within the semiconductor layer, and due to this, there has been a problem that the mobility of the carriers is extremely small when compared to single crystalline semiconductors, and as it is clear from the above formula, the transistor's response speed is extremely slow. Especially when an amorphous silicon semiconductor is used, the mobility thereof is approximately 0.1 to 1 $\text{cm}^2/\text{V}^2\text{Vsec.}$, which is a level not quite sufficient to be operable as a TFT.

As for the solutions for such a problem, as it is obvious from the above formula, the reduction of the channel length, and increase in the mobility has been known, and a number of improvements are being made.

Particularly, the improvement in the mobility has conventionally been attempted through various methods. To name one, an attempt has been made to monocrystallize or to increase the grain size of polycrystal by annealing non-single crystalline semiconductor.

These prior art methods had problems that they may

require an expensive heat-resistive substrate since the annealing is performed under a high temperature, and require long processing time since the entire semiconductor layer on the substrate has to be monocrystallized or polycrystallized.

[Object of the Invention]

It is an object of the present invention to resolve the above problem, by providing a method to readily manufacture TFT which operates at a higher speed relative to that of a conventionally known TFT, in a shorter period of time.

[Constitution]

In order to achieve the above object, the present invention is characterized in that, where a plurality of thin film transistor elements are to be formed in an array on a substrate, a non-single crystalline semiconductor film of a high resistivity is selectively irradiated by a focused laser beam to promote the crystallization of the irradiated portions of the non-single crystalline semiconductor film of a high resistivity.

By using the present invention, and further performing the processes described below to have the laser-irradiated portions to form channel regions of the TFTs, the mobility of carriers of the TFTs is increased to improve the aforementioned response speed, thereby realizing the implementation of the

TFT elements in a liquid crystal display or image sensor etc., to which the conventional TFTs have not been applicable.

Since a laser beam in the present invention is irradiated linearly, or in dots on a plurality of portions in an array, when the laser beam irradiation is conducted linearly, it is possible to promote the crystallization in the linear portions simultaneously, so that the crystallization on a plurality of portions in the non-single crystalline semiconductor may be performed in a shorter period of time relative to the conventional methods. Furthermore, in a case where the irradiation is conducted in dots, a program for moving the substrate after irradiating one location, is simple because the irradiation is done to those locations that are aligned in an array, and also in terms of processing, the crystallization of the plurality of portions on the non-single crystalline semiconductor may be performed in a short period of time.

Moreover, according to the present invention, in an etching process, the laser-irradiated portions are more tolerant to etching compared to non-irradiated portions, so that yield of the etching process may be improved, allowing to reduce the cost.

The present invention is described in the following section in detail according embodiments.

[Embodiment 1]

With reference to this embodiment, a manufacturing method of a thin film transistor for the use in liquid crystal display is described.

Fig. 1 schematically illustrates processes for manufacturing a thin film transistor corresponding to this embodiment.

First, used as a substrate (11), is a 300mm x 300mm piece of soda glass having patterned ITO electrodes (pixel electrodes) as a transparent conductive film, and on this substrate, a molybdenum film is formed. A non-single crystalline silicon film having N-type conductivity is then formed as the non-single crystalline semiconductor of a low conductivity through a public-known plasma CVD method. The condition of this formation was as follows.

Substrate temperature:	250°C
Reaction pressure:	0.05 Torr
Rf Power (13.56MHz):	150W
Gas Used:	SiH ₄ +PH ₃
Film thickness:	2000Å

This N-type non-single crystalline silicon film may also be formed by introducing a large amount of H₂ gas during its formation, with increased Rf power to give it micro-crystallinity to reduce its electrical resistivity.

Next, using a public-known photolithography technology,

the non-single crystalline silicon film is masked with a given configuration pattern for a source region (22), drain region (23), and their drawing electrodes, and dry etching is then performed using CF_4 gas, thereby obtaining the condition illustrated in Fig. 1 (a).

Next, using a plasma CVD method similar to the one mentioned above, an I-type non-single crystalline silicon film (13) is formed as the semiconductor layer of a high conductivity. The formation condition is roughly the same as the one employed in the formation of the N-type non-single crystalline silicon film, except that the gas used is SiH_4 only, and the film thickness is 6000Å.

To this non-single crystalline silicon film (13), an excimer laser beam (15) with a wavelength of 248.7nm, which is focused by an optical system so as to make the irradiation cross-section a rectangle of 300mm long and 10μm wide, is irradiated in the manner illustrated in Fig. 1 (b) to increase the crystallinity of the portions irradiated by the beam. A laser beam is normally stronger at its center section and weaker at its periphery, exhibiting Gaussian distribution in its strength. Therefore, when the beam is irradiated as it is, the crystallization would be promoted only in the center section of the beam, so that the irradiation in this embodiment is conducted using a beam with its strength made uniform through the use of the optical system.

As a result, the condition illustrated in Fig. 1 (c) was obtained. In Fig. 1 (c) however, shows only the portions where the laser beam was linearly irradiated and the crystallinity was increased.

The irradiation condition of the laser beam in this embodiment is; power density: $0.5\text{J}/\text{cm}^2$, and pulse width: $15\text{ }\mu\text{sec}$. This laser beam, in the case of the present embodiment, is irradiated for 3 pulses. This number of irradiation and the laser condition should vary depending on the material to be processed, and in the case of the present embodiment, a preparatory test has been conducted to derive the above condition, and that condition is used.

Next, on this I-type silicon film (13), a silicon nitride film (16) is formed in a thickness of 100\AA by a plasma CVD method, thereby providing a gate insulating film.

After patterning these in a specified pattern, a molybdenum film is vapor-deposited by a public-known sputtering method to form a gate electrode (17), thereby completing a substrate comprising thin film transistors, such as a thin film transistor (10) illustrated in Fig. 1 (d), in an array.

After an insulating film is formed, through an alignment layer coating process, spacer spraying process, panel alignment process and liquid crystal injection process, liquid crystal cells are completed.

As the above, using a laser beam with its cross-section made rectilinear by an optical system, the crystallization of a non-single crystalline silicon film corresponding to a plurality of thin film transistors can be promoted simultaneously, so that it is effective especially since it permits to shorten the processing time in a case where a plurality of TFTs are to be formed in an array on a large size substrate such as one used for a liquid crystal display.

[Embodiment 2]

In this embodiment, similar to Embodiment 1, the present invention is described as used for the manufacturing of a liquid crystal display.

First, after a molybdenum film is formed on a same substrate used in Embodiment 1 in the same manner as Embodiment 1, an N-type non-single crystalline silicon film is formed.

Next, using a public-known photolithography technique, the non-single crystalline silicon film is masked in a specified configuration pattern for source and drain regions and their drawing electrodes in the same manner as Embodiment 1, and dry etching is performed using CF_4 gas.

An I-type non-single crystalline silicon film is then formed as a semiconductor layer of a high resistivity in the same manner as in Embodiment 1.

Next, to this non-single crystalline silicon film, a

YAG laser with a wavelength of $1.06\mu\text{m}$, focused by an optical system so that the cross-section of the irradiation forms a rectangle of $10\mu\text{m}$ wide and $5\mu\text{m}$ long, is irradiated in dots as illustrated in Fig. 3, and for each irradiation on one location, the substrate is moved for a certain length in an X or Y direction before conducting the irradiation on the next location. In this way, the crystallinity of the portions irradiated by the beam is increased.

In this case, the irradiation condition of the laser beam is; power density: $0.6\text{J}/\text{cm}^2$, and repeating frequency: 10kHz . This laser beam in the case of the present embodiment, is irradiated for 1.5 sec. This number of irradiation and the laser condition should vary depending on the material to be processed, and in the case of this embodiment, a preparatory test has been conducted to derive the above condition, and that condition is used.

Like Embodiment 1, the present embodiment also uses an optical system to make the laser beam uniform.

Next, on this I-type silicon film, a silicon nitride film is formed in a thickness of 100Å by a plasma CVD method, thereby providing a gate insulating film.

After these are patterned to the specified pattern, a molybdenum film is vapor-deposited by a public-known sputtering method, it is then patterned to form gate electrodes, thereby thin film transistors are completed.

After an insulating film is formed, through an alignment layer coating process, spacer spraying process, panel alignment process and liquid crystal injection process, liquid crystal cells are completed.

In this way, by irradiating a laser beam only on the portions of the non-single crystalline silicon film, that correspond to the channel regions of the plurality of the thin film transistors to be formed in an array, thin film transistors with a high response speed may be manufactured, and in addition, since the laser beam is irradiated partially, it is possible to perform the crystallization in a shorter period of time compared to a conventional method in which the laser beam is irradiated on the entire surface.

In this embodiment, since the irradiation is conducted only on the necessary portions that are further limited from those in Embodiment 1, even if there are some residues from the etching of the non-single crystalline semiconductor, leak current may be reduced as the crystallization has not been promoted in unnecessary regions.

[Embodiment 3]

Explained in this embodiment is a case where the present invention is used in the manufacturing of an image sensor.

First, after a molybdenum film is formed on a glass substrate in the same manner as Embodiment 1, a non-single

crystalline silicon film having an N conductivity type is formed.

Next, using a public-known photolithography technology, the non-single crystalline silicon film is masked in a specified configuration pattern for source and drain regions and their drawing electrodes, and dry etching is performed using CF_4 gas.

Next, in the same manner as Embodiment 1, an I-type non-single crystalline silicon film is formed as a semiconductor layer of a high resistivity.

To this non-single crystalline silicon film, an excimer laser beam with a wavelength of 248.7nm focused by an optical system to form a substantially rectilinear irradiation cross-section of 10 μ m wide and 230mm long (corresponding to the length of the substrate), is irradiated to increase the crystallinity of the portions irradiated by the beam.

The laser beam irradiation condition in this case is; power density 0.5J/cm², and pulse width: 12 μ sec. This laser beam is irradiated, in the case of this embodiment, for 3 pulses. This number of irradiation and the laser condition should vary depending on the material to be processed, and in the case of this embodiment, a preparatory test has been conducted to derive the above condition, and that condition is used.

Like Embodiment 1, this embodiment also uses an optical system to make the laser beam uniform.

Next, on this I-type silicon film, a silicon nitride film is formed in a thickness of 100Å by a plasma CVD method, thereby providing a gate insulating film.

After these are patterned in a specified pattern, a molybdenum film is vapor-deposited by a public-known sputtering method, and it is then patterned to form gate electrodes, and thereafter, an insulating film is formed, thereby completing thin film transistors.

In this way, thin film transistors with a high response speed may be manufactured by irradiating a laser beam only on the portions of a non-single crystalline silicon film, that correspond to channel regions of a plurality of thin film transistors aligned on a linear line to promote the crystallization, and in addition, since the laser beam is partially irradiated, it is possible to perform the crystallization in a shorter period of time compared to the conventional method in which the laser is irradiated on the entire surface.

[Effect]

The configuration of the present invention allows to increase the crystallinity of channel regions of thin film transistors formed in an array. Accordingly, the TFTs using non-single crystalline semiconductor can be implemented in display devices, and image sensors etc., while it has

conventionally been impossible due to the small carrier mobility.

Also, since a laser processing technique is employed to increase the crystallinity of the channel regions, a maximization of the size does not incur a problem in the processing accuracy, making it extremely easier to form a large number of thin film transistors with good characteristics on a large size substrate.

In addition, since the laser processing is performed linearly or in dots, only on necessary portions, the processing time can be shortened, as well as improving the yield of the etching process so that leak current can be further reduced.

Although in the embodiments, the description was made in association with the manufacturing of staggered type thin film transistors, it should be appreciated from the technical concept of the present invention, that it may be implemented in other types of thin film transistors such as reverse stagger type, coplanar type, and reverse coplanar type.

Although the non-single crystalline semiconductor of a low resistivity was only described as being N-type in the embodiments, it should be appreciated from the technical concept of the present invention that it may be implemented as P-type.

4. Brief Description of Figures

Fig. 1 (a) through (e) and Fig. 3 are schematic diagrams illustrating the thin film transistor manufacturing processes according to the embodiments of the present invention.

Fig. 2 illustrates the cross-sectional view of a TFT of the prior art.

[Description of Reference Numerals]

10: thin film transistor, 11, 20: substrate, 13, 21: non-single crystalline semiconductor layer of a high resistivity, 14: portions with increased crystallinity, 15: laser beam, 16, 26: gate insulating film, 17, 27: gate electrode, 18: thin film transistor, 19: pixel electrode, 20: substrate, 22, 23: source and drain regions, 24, 25: source and drain electrodes

Patent Applicant

Shumpei Yamazaki, representative

Semiconductor Energy Laboratory Co., Ltd.